

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年10月20日 (20.10.2005)

PCT

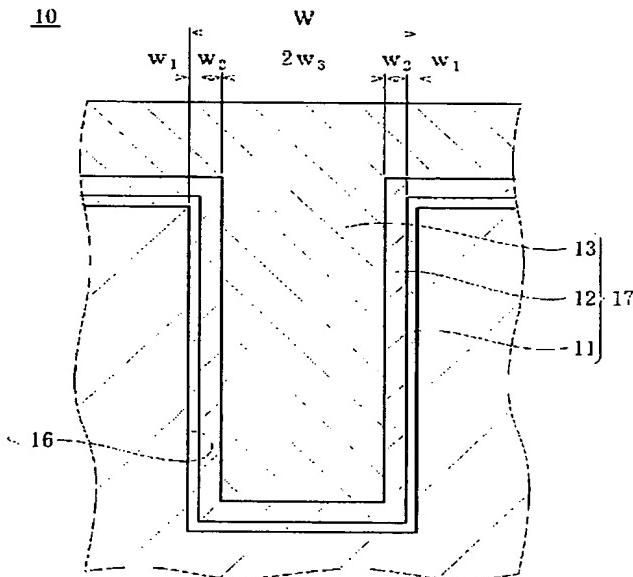
(10) 国際公開番号
WO 2005/098912 A1

- (51) 国際特許分類: H01L 21/205, 21/306
- (21) 国際出願番号: PCT/JP2005/006268
- (22) 国際出願日: 2005年3月31日 (31.03.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-110634 2004年4月5日 (05.04.2004) JP
- (71) 出願人(米国を除く全ての指定国について): 三菱
住友シリコン株式会社 (SUMITOMO MITSUBISHI
SILICON CORPORATION) [JP/JP]; 〒1058634 東京都
港区芝浦1丁目2番1号 Tokyo (JP). 株式会社デ
ンソー (DENSO CORPORATION) [JP/JP]; 〒4488661
愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者; および
(75) 発明者/出願人(米国についてのみ): 野上 彰二
- (NOGAMI, Syouji) [JP/JP]; 〒1058634 東京都港区芝
浦1丁目2番1号三菱住友シリコン株式会社内
Tokyo (JP). 堀岡 佑吉 (HORIOKA, Yukichi) [JP/JP];
〒1058634 東京都港区芝浦1丁目2番1号三菱住
友シリコン株式会社内 Tokyo (JP). 山内 庄一 (YA
MAUCHI, Shoichi) [JP/JP]; 〒4488661 愛知県刈谷市
昭和町1丁目1番地株式会社デンソー内 Aichi (JP).
- (74) 代理人: 須田 正義 (SUDA, Masayoshi); 〒1700013 東
京都豊島区東池袋1丁目2番11号オーネーク池袋ビル
Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,
BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU,
ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT,
LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI,
NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG,

(統葉有)

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR WAFER AND SEMICONDUCTOR WAFER MANUFAC
TURED BY SUCH METHOD

(54) 発明の名称: 半導体ウェーハの製造方法及びその方法で製造された半導体ウェーハ



WO 2005/098912 A1

(57) Abstract: The resistivity of an epitaxial layer inside a trench is changed stepwise and effect of autodoping from a semicon-
ductor wafer is suppressed by reducing in stages the amount of impurities diffused into the epitaxial layer inside the trench from the
semiconductor wafer. While supplying a silane gas as the raw material gas inside a trench (16) of a semiconductor wafer (10) having
a trench structure, an epitaxial layer (17) is grown by vapor deposition by decreasing stepwise the temperature within the range of
400-1150°C so that the inside of the trench (16) is filled with the epitaxial layer (17).

(統葉有)



SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 國際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(S7) 要約: 半導体ウェーハからトレンチ内部のエピタキシャル層に拡散される不純物量を階段状に少なくすることにより、トレンチ内部のエピタキシャル層の抵抗率を階段状に変化させ、半導体ウェーハからのオートドープの影響を抑制する。トレンチ構造を有する半導体ウェーハ10のトレンチ16内部に、原料ガスとしてシランガスを供給しながら、気相成長法により400～1150°Cの温度範囲で段階的に温度を下げて、エピタキシャル層17を成長させることにより、トレンチ16内部にエピタキシャル層17を充填する。

明細書

半導体ウェーハの製造方法及びその方法で製造された半導体ウェーハ 技術分野

[0001] 本発明は、トレンチ構造を有するウェーハの表面及びトレンチ内部に、気相成長法にてエピタキシャル層を形成することにより、半導体ウェーハを製造する方法に関する。また本発明は、この方法で製造された半導体ウェーハに関するものである。

背景技術

[0002] 従来、この種の半導体ウェーハの製造方法として、エピタキシャル成長法によりトレンチ内を含めた半導体基板上にエピタキシャル膜を形成し、このエピタキシャル膜の一部のエッチング処理とエピタキシャル膜の成膜処理とを複数回繰返して、トレンチ内を重ねたエピタキシャル膜で埋込む半導体基板の製造方法(例えば、特許文献1参照。)が開示されている。

このような方法で製造された半導体基板では、エピタキシャル膜の一部をエッチング処理することにより、トレンチでの開口部が広がるので、この状態でエピタキシャル膜を成膜すると、トレンチの開口部の塞がりを阻止することができる。この結果、トレンチ内に埋込不良(空洞)が発生するのを抑制できるようになっている。

特許文献1:特開2001-196573号公報(請求項4、明細書[0015]、明細書[0016])

発明の開示

発明が解決しようとする課題

[0003] しかし、上記従来の特許文献1に示された半導体基板の製造方法では、各エピタキシャル膜の形成時の温度が同一であるため、半導体基板が低抵抗であると、半導体基板からエピタキシャル膜へのオートドープにより、トレンチ内のエピタキシャル膜の抵抗率が影響を受け、半導体基板の電気的特性が所望の特性とは異なる特性に変化してしまう不具合があった。

また、上記従来の特許文献1に示された半導体基板の製造方法では、オートドープ制御のため、初期の層から低い温度でエピタキシャル成長を行う必要があり、成長レ

ートが遅くスループットが悪い問題点があった。

更に、上記従来の特許文献1に示された半導体基板の製造方法では、初期の層から最終の層まで同一の成長温度であるため、この成長温度が高いと、トレンチ成長が進んでトレンチ幅が狭くなるに従いトレンチを埋込み難くなり、トレンチの埋込み性が悪化する問題点もあった。

[0004] 本発明の第1の目的は、半導体ウェーハからトレンチ内部のエピタキシャル層に拡散される不純物量を階段状に少なくすることにより、トレンチ内部のエピタキシャル層の抵抗率を階段状に変化させることができ、半導体ウェーハからのオートドープの影響を抑制でき、更にエピタキシャル層を効率良く成長させることができるとともに、トレンチの埋込み性を向上できる、半導体ウェーハの製造方法及びその方法で製造されたウェーハを提供することにある。

本発明の第2の目的は、トレンチ内表面やトレンチ内部のエピタキシャル層表面に形成された自然酸化膜や有機物を除去することにより、気相成長法によりトレンチ内部にエピタキシャル層を安定的にかつ均質に形成できる、半導体ウェーハの製造方法及びその方法で製造されたウェーハを提供することにある。

本発明の第3の目的は、トレンチの中心近傍に形成され易いボイドの発生を低減できるとともに、トレンチ内部に形成されるエピタキシャル層の表面を平滑にことができる、半導体ウェーハの製造方法及びその方法で製造されたウェーハを提供することにある。

本発明の第4の目的は、比較的低温で気相成長法にてエピタキシャル層を成長させることにより、半導体ウェーハからエピタキシャル層へのオートドープ量自体を低減できる、半導体ウェーハの製造方法及びその方法で製造されたウェーハを提供することにある。

課題を解決するための手段

[0005] 請求項1に係る発明は、図1及び図2に示すように、トレンチ構造を有する半導体ウェーハ10のトレンチ16内部に、原料ガスとしてシランガスを供給しながら、気相成長法により400～1150℃の温度範囲で段階的に温度を下げて、或いは段階的に温度を下げた後に所定の速度で温度を下げながら、エピタキシャル層17を成長させること

により、トレンチ16内部にエピタキシャル層17を充填する半導体ウェーハの製造方法である。

この請求項1に記載された半導体ウェーハの製造方法では、気相成長法によりトレンチ16内部にエピタキシャル層17を形成するときの温度を、段階的に下げるか、或いは段階的に下げた後に所定の速度で下げたので、半導体ウェーハ10からエピタキシャル層17に拡散される不純物量が階段状に少なくなる。

[0006] 請求項2に係る発明は、請求項1に係る発明であって、更に図1及び図2に示すように、900～1150°Cの範囲の第1の温度で半導体ウェーハ10のトレンチ16内面に気相成長法により第1層11を形成する工程と、第1の温度より低い850～1100°Cの範囲の第2の温度でトレンチ16内の第1層11表面に気相成長法により第2層12を形成する工程と、第2の温度より低い800～1050°Cの範囲の第3の温度でトレンチ16内の第2層12表面に気相成長法により第3層13を形成してトレンチ16内部を第1層11、第2層12及び第3層13からなるエピタキシャル層17で充填する工程とを含むことを特徴とする。

この請求項2に記載された半導体ウェーハの製造方法では、第1の温度で気相成長法によりトレンチ16内面に第1層11を形成した後に、第1の温度より低い第2の温度で気相成長法によりトレンチ16内の第1層11表面に第2層12を形成したので、半導体ウェーハ10から第1層11への不純物の拡散量、及び第1層11から第2層12への不純物の拡散量は、第2層12の形成時の方が第1層11の形成時より少なくなる。また第2の温度で気相成長法によりトレンチ16内の第1層11表面に第2層12を形成した後に、第2の温度より低い第3の温度で気相成長法によりトレンチ16内の第2層12表面に第3層13を形成したので、半導体ウェーハ10から第1層11への不純物の拡散量、第1層11から第2層12への不純物の拡散量、及び第2層12から第3層13への不純物の拡散量は、第3層13の形成時の方が第2層12の形成時より少なくなる。

[0007] 請求項8に係る発明は、請求項2ないし7いずれか1項に係る発明であって、更に図1に示すように、半導体ウェーハ10にトレンチ16を形成した状態、或いはトレンチ16内面に第1層11、第2層12又は第3層13を形成した状態で空气中に8時間以上放置されたとき、トレンチ16内表面を0.1～1nm/分のエッチングレートでアルカリ水

溶液及び過酸化水素水の混合液により洗浄した後に、フッ酸に0.1～60分間浸漬して洗浄することを特徴とする。

この請求項8に記載された半導体ウェーハの製造方法では、空気中に8時間以上放置することによりトレンチ16内面、或いはトレンチ16内の第1層11表面、第2層12表面又は第3層13表面が自然酸化膜や有機物により被覆されるけれども、これら自然酸化膜や有機物を除去したので、上記エピタキシャル層17の各層11～13を気相成長法により安定的にかつ均質に形成できる。

[0008] 請求項9に係る発明は、請求項8に係る発明であって、更に図1に示すように、半導体ウェーハ10のトレンチ16内部を完全に埋めるための第3層13又は第4層を形成する前に、エッチングレートが0.1～1μm／分である酸系又はアルカリ系エッチング液に0.1～10分間浸漬してトレンチ16を拡幅することを特徴とする。

この請求項9に記載された半導体ウェーハの製造方法では、トレンチ16内部を完全に埋めるための第3層13又は第4層が、上記拡幅されたトレンチ16内部で速やかに成長するので、トレンチ16の中心近傍にボイドが形成されることなく、トレンチ16内部にエピタキシャル層17を充填できる。

[0009] 請求項10に係る発明は、請求項1に係る発明であって、更に気相成長法によりエピタキシャル層を成長させる好ましい温度が650～950℃の範囲であることを特徴とする。

この請求項10に記載された半導体ウェーハの製造方法では、気相成長法によりエピタキシャル層を成長させる温度が低いため、半導体ウェーハからエピタキシャル層へのオートドープ量が少なくなる、即ち半導体ウェーハに含まれる不純物がエピタキシャル層に拡散し難くなる。

[0010] 請求項11に係る発明は、請求項1に係る発明であって、更に気相成長法によりエピタキシャル層を成長させる更に好ましい温度が400℃～650℃の範囲であることを特徴とする。

この請求項11に記載された半導体ウェーハの製造方法では、気相成長法によりエピタキシャル層を成長させる温度が低いため、半導体ウェーハからエピタキシャル層へのオートドープ量が更に少なくなる、即ち半導体ウェーハに含まれる不純物がエピ

タキシャル層に更に拡散し難くなる。

- [0011] 請求項12に係る発明は、図1に示すように、請求項1ないし11いずれか1項に記載の方法により製造された半導体ウェーハ10である。

この請求項12に記載された半導体ウェーハ10は、トレンチ16の中心近傍にボイドが発生せず、かつ所望の電気的特性を有する。

発明の効果

- [0012] 以上述べたように、本発明によれば、トレンチ構造を有する半導体ウェーハのトレンチ内部に、原料ガスとしてシランガスを供給しながら、気相成長法により400～1150℃の温度範囲で段階的に温度を下げて、或いは段階的に温度を下げた後に所定の速度で温度を下げながら、エピタキシャル層を成長させることにより、トレンチ内部にエピタキシャル層を充填したので、半導体ウェーハからエピタキシャル層に拡散される不純物量が階段状に少なくなる。この結果、トレンチ内部のエピタキシャル層の抵抗率を階段状に変化させることができ、半導体ウェーハからのオートドープの影響を抑制できるので、所望の電気的特性が得られる。

またオートドープ制御のため、初期の層から低い温度でエピタキシャル成長を行い、成長レートが遅くスループットが悪い従来の半導体基板の製造方法と比較して、本発明では、初期の成長温度を高くすることができるため、結果として効率良くエピタキシャル成長を行うことができる。また初期の層から最終の層まで同一の成長温度であるため、この成長温度が高いと、トレンチの埋込み性が悪化する従来の半導体基板の製造方法と比較して、本発明では、エピタキシャル成長が進んでトレンチ幅が狭くなるに従い、トレンチを埋込み易くなる低温の温度条件となるため、トレンチの埋込み性を向上できる。

また第1の温度で半導体ウェーハのトレンチ内面に気相成長法により第1層を形成し、第1の温度より低い第2の温度でトレンチ内の第1層表面に気相成長法により第2層を形成し、第2の温度より低い第3の温度でトレンチ内の第2層表面に気相成長法により第3層を形成して、トレンチ内部を第1層、第2層及び第3層からなるエピタキシャル層で充填すれば、半導体ウェーハに含まれる不純物のエピタキシャル層への拡散量が第1層から第2層を介して第3層に向うに従って、階段状に少なくなるので、半

導体ウェーハからエピタキシャル層へのオートドープの影響を抑制でき、所望の電気的特性が得られる。本発明は、不純物を多く含む低抵抗率の半導体ウェーハを用いて、トレンチ内部に気相成長法によりエピタキシャル層を成長させる場合に、特に有効である。

[0013] また半導体ウェーハにトレンチを形成した状態、或いはトレンチ内面に第1層、第2層又は第3層を形成した状態で空気中に8時間以上放置されたとき、トレンチ内表面を0.1～1nm／分のエッティングレートでアルカリ水溶液及び過酸化水素水の混合液により洗浄した後に、フッ酸により洗浄すれば、トレンチ内面を被覆する自然酸化膜や有機物が除去されるので、エピタキシャル層の各層を気相成長法により安定的にかつ均質に形成できる。

また半導体ウェーハのトレンチ内部を完全に埋めるための第3層又は第4層を形成する前に、エッティングレートが0.1～1μm／分である酸系又はアルカリ系エッティング液に0.1～10分間浸漬してトレンチを拡幅すれば、トレンチ内部を完全に埋めるための第3層又は第4層が、上記拡幅されたトレンチ内部で速やかに成長する。この結果、トレンチの中心近傍にボイドが形成されることなく、トレンチ内部にエピタキシャル層を充填できる。

また気相成長法によりエピタキシャル層を成長させる温度が650℃～950℃又は400℃～650℃の範囲であれば、気相成長法によりエピタキシャル層を成長させる温度が低いため、半導体ウェーハからエピタキシャル層へのオートドープ量が少なくなる。この結果、半導体ウェーハの所望の電気的特性を得ることができる。

更に上記方法により製造された半導体ウェーハでは、トレンチの中心近傍にボイドが発生せず、かつ所望の電気的特性を有する。

図面の簡単な説明

[0014] [図1]本発明第1実施形態の半導体ウェーハのトレンチ内部を示す要部断面図である。

[図2]その半導体ウェーハを製造するための温度条件を示す図である。

[図3]本発明第2実施形態の半導体ウェーハのトレンチ内部を示す要部断面図である。

[図4]その半導体ウェーハを製造するための温度条件を示す図である。

[図5]本発明第3実施形態の半導体ウェーハへのトレンチ内部を示す要部断面図である。

[図6]その半導体ウェーハを製造するための温度条件を示す図である。

[図7]本発明第4実施形態の半導体ウェーハへのトレンチ内部を示す要部断面図である。

[図8]その半導体ウェーハを製造するための温度条件を示す図である。

符号の説明

[0015] 10, 20, 30, 40 シリコンウェーハ

11, 21, 31, 41 第1層

12, 22, 32, 42 第2層

13, 23, 33, 43 第3層

24, 44 第4層

16, 26, 36, 46 トレンチ

17, 27, 37, 47 エピタキシャル層

発明を実施するための最良の形態

[0016] 次に本発明を実施するための最良の形態を図面に基づいて説明する。

<第1の実施の形態>

図1及び図2に示すように、シリコンウェーハ10表面にフォトエッチング法によりトレンチ16を形成した後に、このウェーハ10表面及びトレンチ16内部に、原料ガスとしてシランガスを供給しながら、気相成長法により400～1150℃の温度範囲で段階的に温度を下げて、エピタキシャル層17を成長させる。これによりウェーハ10表面をエピタキシャル層17で被覆し、トレンチ16内部にエピタキシャル層17を充填する。ここで、気相成長法によりエピタキシャル層17を成長させるときの全体の温度範囲を400～1150℃の範囲に限定したのは、400℃未満では多結晶化や欠陥増加という不具合があり、1150℃を越えるとオートドープによるプロファイル劣化が起こるという不具合があるからである。具体的には、先ずウェーハ10を反応炉に入れて、900～1150℃、好ましくは950～1100℃の範囲の第1の温度でウェーハ10の表面及びトレンチ

16内面に気相成長法により第1層11を形成する。ここで、第1の温度を900～1150℃の範囲に限定したのは、900℃未満では、多結晶化や欠陥増加という不具合があり、1150℃を越えるとオートドープによるプロファイル劣化が起こるという不具合があるからである。

- [0017] 気相成長法としては、化学気相成長法(CVD法)や物理気相成長法(PVD法)などが挙げられるけれども、その結晶性、量産性、装置の簡便さ、種々のデバイス構造形成の容易さなどの観点からCVD法によりエピタキシャル層17を成長させることが好ましい。またCVD法によりエピタキシャル層17を成長させるときの反応炉内には、炉内の圧力が 1.3×10^{-5} ～ 1.0×10^{-1} MPaとなるように、シランガスであるモノシランガス(SiH_4)、ジシランガス(Si_2H_6)、トリクロロシランガス(SiHCl_3)、ジクロロシランガス(SiH_2Cl_2)、モノクロロシランガス(SiH_3Cl)又は四塩化シリコンガス(SiCl_4)が水素ガス(H_2)とともに導入される。これにより上記原料ガスが熱分解し或いは還元され、ウェーハ10表面及びトレンチ16内面にシリコンが析出してエピタキシャル層17が形成される。
- [0018] またトレンチ16の幅をWとするとき、第1層11の厚さ w_1 は $(W/20) \leq w_1 \leq (W/10)$ 、好ましくは $(W/15) \leq w_1 \leq (W/12)$ の範囲に設定される。ここで、第1層11の厚さ w_1 を $(W/20) \leq w_1 \leq (W/10)$ の範囲に限定したのは、W/20未満ではウェーハ表面性状に起因する欠陥増加という不具合があり、W/10を越えるとオートドープによるプロファイル劣化が起こるという不具合があるからである。なお、第1層11の厚さは、上記反応炉内の温度及び圧力、反応炉に導入される原料ガスの流量、ウェーハ10の原料ガスとの反応時間等により決定される。
- [0019] 次いで第1層11の成長を停止して、反応炉内の温度を第1の温度より低い850～1100℃、好ましくは900～1050℃の範囲の第2の温度に下げた状態で、ウェーハ10上の第1層11表面及びトレンチ16内の第1層11表面に気相成長法により第2層12を形成する。第2層12は上記第1層11と同一の方法で形成することが好ましい。ここで、第2の温度を850～1100℃の範囲に限定したのは、850℃未満では、多結晶化や欠陥増加という不具合があり、1100℃を越えるとオートドープによるプロファイル劣化が起こるという不具合があるからである。また、第2層12の厚さ w_2 は $(W/10) \leq w_2 \leq (W/20)$ 、好ましくは $(W/15) \leq w_2 \leq (W/12)$ の範囲に設定される。

$w_2 \leq (W/5)$ 、好ましくは $(W/8) \leq w_2 \leq (W/6)$ に設定される。ここで、第2層12の厚さ w_2 を $(W/10) \leq w_2 \leq (W/5)$ の範囲に限定したのは、 $W/10$ 未満では欠陥増加という不具合があり、 $W/5$ を越えるとオートドープによるプロファイル劣化が起こるという不具合があるからである。

- [0020] 更に第2層12の成長を停止して、反応炉内の温度を第2の温度より低い800～1050℃、好ましくは850～1000℃の範囲の第3の温度に下げた状態で、ウェーハ10上の第2層12表面及びトレンチ16内の第2層12表面に気相成長法により第3層13を形成して、トレンチ16内部を第1層11、第2層12及び第3層13からなるエピタキシャル層17で充填する。第3層13は上記第1層11及び第2層12と同一の方法で形成することが好ましい。ここで、第3の温度を800～1050℃の範囲に限定したのは、800℃未満では、多結晶化や欠陥増加という不具合があり、1050℃を越えるとオートドープによるプロファイル劣化が起こるという不具合があるからである。上記第3層13の厚さを w_3 とするとき、 $2w_3 = W - 2(w_1 + w_2)$ となる。
- [0021] なお、ウェーハ10表面及びトレンチ16内部に第2層12を形成した後であって第3層13を形成する前に、エッティングレートが0.1～1 μm/分、好ましくは0.2～0.5 μm/分である酸系又はアルカリ系エッティング液に0.1～10分間、好ましくは5～8分間浸漬してトレンチ16を拡幅する。これにより、トレンチ16内部を完全に埋めるための第3層13が、上記拡幅されたトレンチ16内部で速やかに成長するので、トレンチ16の中心近傍にボイドが形成されることなく、トレンチ16内部にエピタキシャル層17を充填できる。ここで、エッティングレートを0.1～1 μm/分の範囲に限定したのは、0.1 μm/分未満ではエッティング処理時間の増加という不具合があり、1 μm/分を越えるとウェットエッティングにおける制御が困難になるという不具合があるからである。また酸系又はアルカリ系エッティング液への浸漬時間を0.1～10分間の範囲に限定したのは、0.1分間未満ではトレンチが十分に開口しないという不具合があり、10分間を越えるとトレンチ形状が崩れるという不具合があるからである。
- [0022] また、ウェーハ10にトレンチ16を形成した後であって第1層11を形成する前、第1層11を形成した後であって第2層12を形成する前、或いは第2層12を形成した後であって第3層13を形成する前の状態で空气中に8時間以上放置されたとき、トレンチ

16内表面を0.1～1nm／分、好ましくは0.3～0.8nm／分のエッティングレートでアルカリ水溶液及び過酸化水素水の混合液により洗浄した後に、フッ酸に0.1～60分間、好ましくは2～4分間浸漬して洗浄する。このフッ酸への浸漬時間を0.1～60分間の範囲に限定したのは、上記放置によりウェーハ10表面やトレンチ16内面が自然酸化膜や有機物により被覆されるため、これらの自然酸化膜や有機物を除去することにより、上記エピタキシャル層17の第1～第3層11～13を安定的にかつ均質に形成するためである。ここで、エッティングレートを0.1～1nm／分の範囲に限定したのは、0.1nm／分未満ではエッティング処理の長時間化という不具合があり、1nm／分を越えるとパーティクルの発生や表面あれという不具合があるからである。

- [0023] このように製造されたシリコンウェーハ10では、第1の温度で気相成長法によりウェーハ10表面及びトレンチ16内面に第1層11を形成した後に、第1の温度より低い第2の温度で気相成長法によりウェーハ10上の第1層11表面及びトレンチ16内の第1層11表面に第2層12を形成したので、ウェーハ10から第1層11への不純物の拡散量、及び第1層11から第2層12への不純物の拡散量は、第2層12の形成時の方が第1層11の形成時より少なくなる。また第2の温度で気相成長法によりウェーハ10上の第1層11表面及びトレンチ16内の第1層11表面に第2層12を形成した後に、第2の温度より低い第3の温度で気相成長法によりウェーハ10上の第2層12表面及びトレンチ16内の第2層12表面に第3層13を形成したので、ウェーハ10から第1層11への不純物の拡散量、第1層11から第2層12への不純物の拡散量、及び第2層12から第3層13への不純物の拡散量は、第3層13の形成時の方が第2層12の形成時より少なくなる。この結果、ウェーハ10に含まれる不純物のエピタキシャル層17への拡散量が第1層11から第2層12を介して第3層13に向うに従って、階段状に少なくなるので、ウェーハ10からエピタキシャル層17へのオートドープの影響を抑制でき、所望の電気的特性が得られる。本発明は、ボロン等の不純物が多量にドープされた低抵抗率のウェーハ10を用いて、ウェーハ10表面及びトレンチ16内部に気相成長法によりエピタキシャル層17を成長させる場合に、特に有効である。

- [0024] <第2の実施の形態>

図3及び図4は本発明の第2の実施の形態を示す。

この実施の形態では、シリコンウェーハ20の表面及びトレンチ26内面に、原料ガスとしてシランガスを供給しながら、気相成長法により第1～第4層21～24が形成される。第1～第3層21～23は第1の実施の形態の第1～第3層と同様に形成される。具体的には、先ずウェーハ20を反応炉に入れて、900～1150°C、好ましくは950～1000°Cの範囲の第1の温度でウェーハ20の表面及びトレンチ26内面に気相成長法により第1層21を形成する。この第1層21の厚さ w_1 は、トレンチ26の幅をWとするとき、 $(W/20) \leq w_1 \leq (W/10)$ 、好ましくは $(W/15) \leq w_1 \leq (W/12)$ の範囲に設定される。次いで第1層21の成長を停止して、反応炉内の温度を第1の温度より低い850～1100°C、好ましくは900～1050°Cの範囲の第2の温度に下げた状態で、ウェーハ20上の第1層21表面及びトレンチ26内の第1層21表面に気相成長法により第2層22を形成する。この第2層22の厚さ w_2 は $(W/10) \leq w_2 \leq (W/5)$ 、好ましくは $(W/8) \leq w_2 \leq (W/6)$ に設定される。

- [0025] 次に第2層22の成長を停止して、反応炉内の温度を第2の温度より低い800～1050°C、好ましくは850～1000°Cの範囲の第3の温度に下げた状態で、ウェーハ20上の第2層22表面及びトレンチ26内の第2層22表面に気相成長法により第3層23を形成する。この第3層23の厚さ w_3 は $(W/10) \leq w_3 < (W/5)$ 、好ましくは $(W/8) \leq w_3 \leq (W/6)$ に設定される。ここで、第3層23の厚さ w_3 を $(W/10) \leq w_3 < (W/5)$ の範囲に限定したのは、W/10未満では欠陥増加という不具合があり、W/5以上ではオートドープによるプロファイル劣化が起こるという不具合があるからである。更に第3層23の成長を停止して、反応炉内の温度を第3の温度より低い750～1000°C、好ましくは800～950°Cの範囲の第4の温度に下げた状態で、ウェーハ20上の第3層23表面及びトレンチ26内の第3層23表面に気相成長法により第4層24を形成して、トレンチ26内部を第1層21、第2層22、第3層及び第4層24からなるエピタキシャル層27で充填する。第4層24は上記第1～第3層21～23と同一の方法で形成することが好ましい。ここで、第4の温度を750～1000°Cの範囲に限定したのは、750°C未満では、多結晶化や欠陥増加という不具合があり、1000°Cを越えるとオートドープという不具合があるからである。上記第4層24の厚さを w_4 とするとき、 $2w_4 = W - 2(w_1 + w_2 + w_3)$ となる。上記以外は第1の実施の形態と同一に構成される。

- [0026] なお、ウェーハ20表面及びトレンチ26内部に第3層23を形成した後であって第4層24を形成する前に、エッチングレートが0.1～1μm／分、好ましくは0.2～0.5μm／分である酸系又はアルカリ系エッチング液に0.1～10分間、好ましくは5～8分間浸漬してトレンチ26を拡幅する。これにより、トレンチ26内部を完全に埋めるための第4層24が、上記拡幅されたトレンチ26内部で速やかに成長するので、トレンチ26の中心近傍にボイドが形成されることなく、トレンチ26内部にエピタキシャル層27を充填できる。
- [0027] また、ウェーハ20にトレンチ26を形成した後であって第1層21を形成する前、第1層21を形成した後であって第2層22を形成する前、第2層22を形成した後であって第3層23を形成する前、或いは第3層23を形成した後であって第4層24を形成する前の状態で空気中に8時間以上放置されたとき、トレンチ26内表面を0.1～1nm／分、好ましくは0.5～0.8nm／分のエッチングレートでアルカリ水溶液及び過酸化水素水の混合液により洗浄した後に、フッ酸により洗浄する。これは、上記放置によりウェーハ20表面やトレンチ26内面が自然酸化膜や有機物により被覆されるため、これらの自然酸化膜や有機物を除去することにより、上記エピタキシャル層27の第1～第4層21～24を安定的にかつ均質に形成するためである。
- [0028] このように製造されたシリコンウェーハ20では、第1の温度で気相成長法によりウェーハ20表面及びトレンチ26内面に第1層21を形成した後に、第1の温度より低い第2の温度で気相成長法によりウェーハ20上の第1層21表面及びトレンチ26内の第1層21表面に第2層22を形成したので、ウェーハ20から第1層21への不純物の拡散量、及び第1層21から第2層22への不純物の拡散量は、第2層22の形成時の方が第1層21の形成時より少なくなる。また第2の温度で気相成長法によりウェーハ20上の第1層21表面及びトレンチ内の第1層21表面に第2層22を形成した後に、第2の温度より低い第3の温度で気相成長法によりウェーハ20上の第2層22表面及びトレンチ26内の第2層22表面に第3層23を形成したので、ウェーハ20から第1層21への不純物の拡散量、第1層21から第2層22への不純物の拡散量、及び第2層22から第3層23への不純物の拡散量は、第3層23の形成時の方が第2層22の形成時より少なくなる。更に第3の温度で気相成長法によりウェーハ上の第2層22表面及びト

レンチ26内の第2層22表面に第3層23を形成した後に、第4の温度より低い第4の温度で気相成長法によりウェーハ20上の第3層23表面及びレンチ26内の第3層23表面に第4層24を形成したので、ウェーハ20から第1層21への不純物の拡散量、第1層21から第2層22への不純物の拡散量、第2層22から第3層23への不純物の拡散量、及び第3層23から第4層24への不純物の拡散量は、第4層24の形成時の方が第3層23の形成時より少なくなる。この結果、ウェーハ20に含まれる不純物のエピタキシャル層27への拡散量が第1層21から第2層22及び第3層23を介して第4層24に向うに従って、階段状に少なくなるので、ウェーハ20からエピタキシャル層27へのオートドープの影響を第1の実施の形態より更に抑制でき、所望の電気的特性が得られる。本発明は、ボロン等の不純物が多量にドープされた低抵抗率のウェーハ20を用いて、ウェーハ20表面及びレンチ26内部に気相成長法によりエピタキシャル層27を成長させる場合に、特に有効である。

[0029] <第3の実施の形態>

図5及び図6は本発明の第3の実施の形態を示す。

この実施の形態では、シリコンウェーハ30の表面及びレンチ36内面に、原料ガスとしてシランガスを供給しながら、気相成長法により第1～第3層31～33が形成される。第1及び第2層31、32は第1の実施の形態の第1及び第2層と同様に形成される。具体的には、先ずウェーハ30を反応炉に入れて、900～1150℃、好ましくは950～1100℃の範囲の第1の温度でウェーハ30の表面及びレンチ36内面に気相成長法により第1層31を形成する。この第1層31の厚さ w_1 は、レンチ36の幅をWとするとき、 $(W/20) \leq w_1 \leq (W/10)$ 、好ましくは $(W/15) \leq w_1 \leq (W/12)$ の範囲に設定される。次に第1層31の成長を停止して、反応炉内の温度を第1の温度より低い850～1100℃、好ましくは900～1050℃の範囲の第2の温度に下げた状態で、ウェーハ30上の第1層31表面及びレンチ36内の第1層31表面に気相成長法により第2層32を形成する。この第2層32の厚さ w_2 は $(W/10) \leq w_2 \leq (W/5)$ 、好ましくは $(W/8) \leq w_2 \leq (W/6)$ に設定される。

[0030] 更に第2層32の成長を停止して、第2の温度から1～100℃/分、好ましくは6～10℃/分の速度で温度を下げながら800℃になるまで、ウェーハ30上の第2層32表

面及びトレーナー36内の第2層32表面に気相成長法により第3層33を形成して、トレーナー36内部を第1層31、第2層32及び第3層33からなるエピタキシャル層37で充填する。ここで、第3層33の形成時の降温速度を1～100°C／分の範囲に限定したのは、1°C／分未満では成長時間の長時間化という不具合があり、100°Cを越えると欠陥の発生という不具合があるからである。また、第3層33を形成するときの最低温度を800°Cに限定したのは、800°C未満ではウェーハ30表面及びトレーナー36内面にエピタキシャル層37が成長しないからである。上記第3層33の厚さを w_3 とするとき、 $2w_3 = W - 2(w_1 + w_2)$ となる。上記以外は第1の実施の形態と同一に構成される。

- [0031] このように製造されたシリコンウェーハ30では、第3層33がプロファイルの均一性という点で第1の実施の形態の第3層より優れた特性を有する。上記以外の動作は、第1の実施の形態の動作と略同様であるので、繰返しの説明を省略する。

[0032] <第4の実施の形態>

図7及び図8は本発明の第4の実施の形態を示す。

この実施の形態では、シリコンウェーハ40の表面及びトレーナー46内面に、原料ガスとしてシランガスを供給しながら、気相成長法により第1～第4層41～44が形成される。第1～第3層41～43は第2の実施の形態の第1～第3層と同様に形成される。具体的には、先ずウェーハ40を反応炉に入れて、900～1150°C、好ましくは950～1100°Cの範囲の第1の温度でウェーハ40の表面及びトレーナー46内面に気相成長法により第1層41を形成する。この第1層41の厚さ w_1 は、トレーナーの幅をWとするとき、($W/20) \leq w_1 \leq (W/10)$ 、好ましくは($W/15) \leq w_1 \leq (W/12)$ の範囲に設定される。次に第1層41の成長を停止して、反応炉内の温度を第1の温度より低い850～1050°C、好ましくは900～1000°Cの範囲の第2の温度に下げた状態で、ウェーハ40上の第1層41表面及びトレーナー46内の第1層41表面に気相成長法により第2層42を形成する。この第2層42の厚さ w_2 は($W/10) \leq w_2 \leq (W/5)$ 、好ましくは($W/8) \leq w_2 \leq (W/6)$ に設定される。

- [0033] 次に第2層42の成長を停止して、反応炉内の温度を第2の温度より低い800～1000°C、好ましくは850～950°Cの範囲の第3の温度に下げた状態で、ウェーハ40上の第2層42表面及びトレーナー46内の第2層42表面に気相成長法により第3層43を

形成する。この第3層43の厚さ w_3 は $(W/10) \leq w_3 < (W/5)$ 、好ましくは $(W/8) \leq w_3 \leq (W/6)$ に設定される。更に第3層43の成長を停止して、第3の温度から1～100°C／分、好ましくは6～10°C／分の速度で温度を下げながら750°Cになるまで、ウェーハ40上の第3層43表面及びトレンチ46内の第3層43表面に気相成長法により第4層44を形成して、トレンチ46内部を第1層41、第2層42、第3層43及び第4層44からなるエピタキシャル層47で充填する。ここで、第4層44の形成時の降温速度を1～100°C／分の範囲に限定したのは、1°C／分未満では成長時間の長時間化という不具合があり、100°Cを越えると欠陥増加という不具合があるからである。また、第4層44を形成するときの最低温度を750°Cに限定したのは、750°C未満ではウェーハ40表面及びトレンチ46内面にエピタキシャル層47が成長しないからである。上記第4層44の厚さを w_4 とするとき、 $2w_3 = W - 2(w_1 + w_2 + w_3)$ となる。上記以外は第2の実施の形態と同一に構成される。

- [0034] このように製造されたシリコンウェーハ40では、第4層44がドーパントプロファイルの点で第3の実施の形態の第4層より優れた特性を有する。上記以外の動作は、第2の実施の形態の動作と略同様であるので、繰返しの説明を省略する。
- [0035] なお、上記第1～第4の実施の形態では、気相成長法により半導体ウェーハのトレンチ内部にエピタキシャル層を成長させるときの全体の温度範囲を750～1150°Cとしたが、650～950°Cでもよい。具体的には、第1層、第2層及び第3層からなるエピタキシャル層を形成する場合、第1の温度を850～950°Cとし、第2の温度を第1の温度より低い750～850°Cとし、第3の温度を第2の温度より低い650～750°Cとする。また第1層、第2層、第3層及び第4層からなるエピタキシャル層を形成する場合、第1の温度を850～950°Cとし、第2の温度を第1の温度より低い800～900°Cとし、第3の温度を第2の温度より低い750～850°Cとし、第4の温度を第3の温度より低い650～800°Cとする。これらの場合、気相成長法によりエピタキシャル層を成長させる温度が低いため、半導体ウェーハからエピタキシャル層へのオートドープが少なくなるので、良好な電気的特性を得ることができる。
- [0036] また、上記第1～第4の実施の形態では、気相成長法により半導体ウェーハのトレンチ内部にエピタキシャル層を成長させるときの全体の温度範囲を750～1150°Cとし

たが、400～650°Cでもよい。具体的には、第1層、第2層及び第3層からなるエピタキシャル層を形成する場合、第1の温度を500～650°Cとし、第2の温度を第1の温度より低い450～600°Cとし、第3の温度を第2の温度より低い400～550°Cとする。また第1層、第2層、第3層及び第4層からなるエピタキシャル層を形成する場合、第1の温度を550～650°Cとし、第2の温度を第1の温度より低い500～600°Cとし、第3の温度を第2の温度より低い450～550°Cとし、第4の温度を第3の温度より低い400～500°Cとする。これらの場合、気相成長法によりエピタキシャル層を成長させる温度が更に低いため、半導体ウェーハからエピタキシャル層へのオートドープが更に少なくなるので、更に良好な電気的特性を得ることができる。

- [0037] また、上記第1～第4の実施の形態では、半導体ウェーハとしてシリコンウェーハを挙げたが、GaAsウェーハ、InPウェーハ、ZnSウェーハ、或いはZnSeウェーハでもよい。

更に、上記第1及び第3の実施の形態では、トレンチ内部に3層のエピタキシャル層を形成し、上記第2及び第4の実施の形態では、トレンチ内部に4層のエピタキシャル層を形成したが、トレンチ内部に2層又は5層以上のエピタキシャル層を形成してもよい。

産業上の利用可能性

- [0038] トレンチ内部のエピタキシャル層の抵抗率を階段状に変化させ、半導体ウェーハに対するオートドープの影響を抑制することにより、半導体ウェーハの所望の電気的特性を得るために本発明を適用できる。特に、本発明はボロン等の不純物が多量にドープされた低抵抗率の半導体ウェーハを用いて、この半導体ウェーハ表面及びトレンチ内部に気相成長法によりエピタキシャル層を成長させる場合に有効である。

請求の範囲

- [1] トレンチ構造を有する半導体ウェーハ(10,20,30,40)のトレンチ(16,26,36,46)内部に、原料ガスとしてシランガスを供給しながら、気相成長法により400～1150℃の温度範囲で段階的に温度を下げて、或いは段階的に温度を下げた後に所定の速度で温度を下げながら、エピタキシャル層(17,27,37,47)を成長させることにより、前記トレンチ(16,26,36,46)内部に前記エピタキシャル層(17,27,37,47)を充填する半導体ウェーハの製造方法。
- [2] 900～1150℃の範囲の第1の温度で半導体ウェーハ(10)のトレンチ(16)内面に気相成長法により第1層(11)を形成する工程と、
前記第1の温度より低い850～1100℃の範囲の第2の温度で前記トレンチ(16)内の第1層(11)表面に気相成長法により第2層(12)を形成する工程と、
前記第2の温度より低い800～1050℃の範囲の第3の温度で前記トレンチ(16)内の第2層(12)表面に気相成長法により第3層(13)を形成して前記トレンチ(16)内部を前記第1層(11)、前記第2層(12)及び前記第3層(13)からなるエピタキシャル層(17)で充填する工程と
を含む請求項1記載の半導体ウェーハの製造方法。
- [3] 900～1150℃の範囲の第1の温度で半導体ウェーハ(20)のトレンチ(26)内面に気相成長法により第1層(21)を形成する工程と、
前記第1の温度より低い850～1100℃の範囲の第2の温度で前記トレンチ(26)内の第1層(21)表面に気相成長法により第2層(22)を形成する工程と、
前記第2の温度より低い800～1050℃の範囲の第3の温度で前記トレンチ(26)内の第2層(22)表面に気相成長法により第3層(23)を形成する工程と、
前記第3の温度より低い750～1000℃の範囲の第4の温度で前記トレンチ(26)内の第3層(23)表面に気相成長法により第4層(24)を形成して前記トレンチ(26)内部を前記第1層(21)、前記第2層(22)、前記第3層(23)及び前記第4層(24)からなるエピタキシャル層(27)で充填する工程と
を含む請求項1記載の半導体ウェーハの製造方法。
- [4] 900～1150℃の範囲の第1の温度で半導体ウェーハ(30)のトレンチ(36)内面に気

相成長法により第1層(31)を形成する工程と、

前記第1の温度より低い850～1100℃の範囲の第2の温度で前記トレンチ(36)内の第1層(31)表面に気相成長法により第2層(32)を形成する工程と、

前記第2の温度から1～100℃／分の速度で温度を下げながら前記トレンチ(36)内の第2層(32)表面に気相成長法により第3層(33)を形成して前記トレンチ(36)内部を前記第1層(31)、前記第2層(33)及び前記第3層(33)からなるエピタキシャル層(37)で充填する工程と

を含む請求項1記載の半導体ウェーハの製造方法。

- [5] 900～1150℃の範囲の第1の温度で半導体ウェーハ(40)のトレンチ(46)内面に気相成長法により第1層(41)を形成する工程と、

前記第1の温度より低い850～1100℃の範囲の第2の温度で前記トレンチ(46)内の第1層(41)表面に気相成長法により第2層(42)を形成する工程と、

前記第2の温度より低い800～1050℃の範囲の第3の温度で前記トレンチ(46)内の第2層(42)表面に気相成長法により第3層(43)を形成する工程と、

前記第3の温度から1～100℃／分の速度で温度を下げながら前記トレンチ(46)内の第3層(43)表面に気相成長法により第4層(44)を形成して前記トレンチ(46)内部を前記第1層(41)、前記第2層(42)、前記第3層(43)及び第4層(44)からなるエピタキシャル層(47)で充填する工程と

を含む請求項1記載の半導体ウェーハの製造方法。

- [6] トレンチ(16,36)の幅をWとするとき、第1層(11,31)の厚さ w_1 を $(W/20) \leq w_1 \leq (W/10)$ とし、第2層(12,32)の厚さ w_2 を $(W/10) \leq w_2 \leq (W/5)$ とし、残りを第3層(13,33)とする請求項2又は4記載の半導体ウェーハの製造方法。

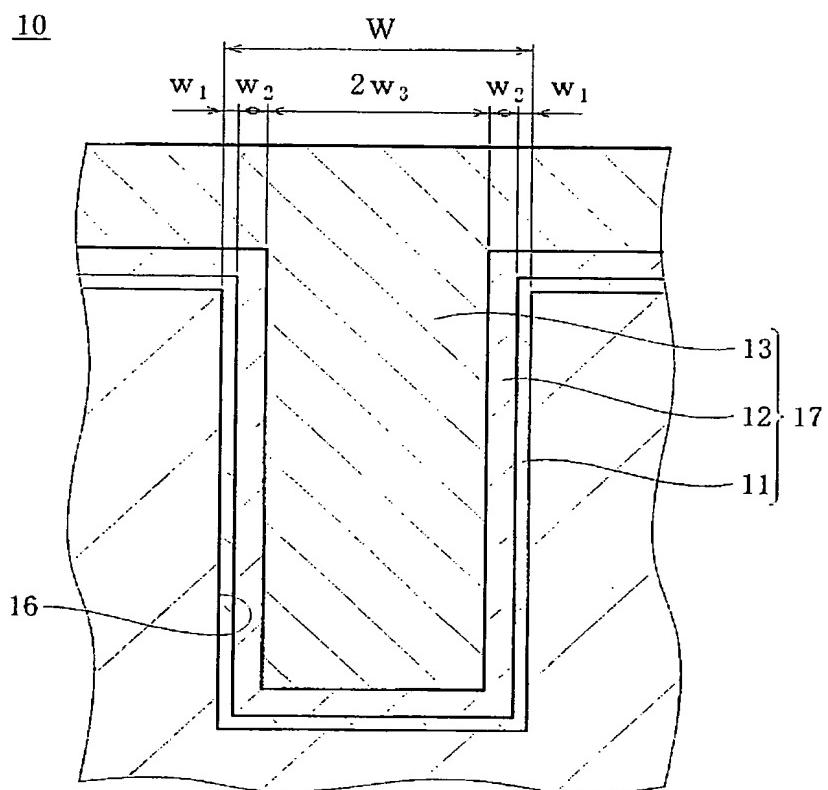
- [7] トレンチ(26,46)の幅をWとするとき、第1層(21,41)の厚さ w_1 を $(W/20) \leq w_1 \leq (W/10)$ とし、第2層(22,42)の厚さ w_2 を $(W/10) \leq w_2 \leq (W/5)$ とし、第3層(23,43)の厚さ w_3 を $(W/10) \leq w_3 < (W/5)$ とし、残りを第4層(24,44)とする請求項3又は5記載の半導体ウェーハの製造方法。

- [8] 半導体ウェーハ(10,20,30,40)にトレンチ(16,26,36,46)を形成した状態、或いは前記トレンチ(16,26,36,46)内面に第1層(11,21,31,41)、第2層(12,22,32,42)又は第3層

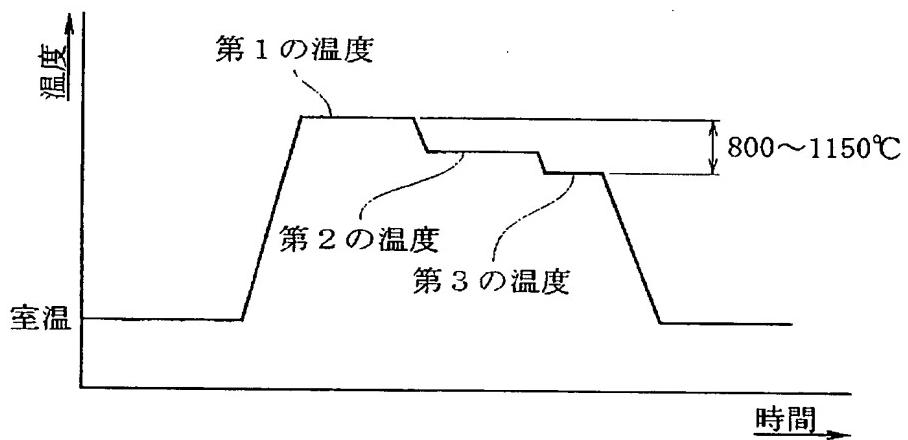
(13,23,33,43)を形成した状態で空気中に8時間以上放置されたとき、エッティングレートが0.1～1nm／分であるアルカリ水溶液及び過酸化水素水の混合液に前記半導体ウェーハ(10,20,30,40)を1～10分間浸漬して洗浄した後に、フッ酸に0.1～60分間浸漬して洗浄する請求項2ないし7いずれか1項に記載の半導体ウェーハの製造方法。

- [9] 半導体ウェーハ(10,20,30,40)のトレンチ(16,26,36,46)内部を完全に埋めるための第3層(13,33)又は第4層(24,44)を形成する前に、エッティングレートが0.1～1μm／分である酸系又はアルカリ系エッティング液に0.1～10分間浸漬して前記トレンチ(16,26,36,46)を拡幅する請求項8記載の半導体ウェーハの製造方法。
- [10] 気相成長法によりエピタキシャル層を成長させる温度が650～950℃の範囲である請求項1記載の半導体ウェーハの製造方法。
- [11] 気相成長法によりエピタキシャル層を成長させる温度が400℃～650℃の範囲である請求項1記載の半導体ウェーハの製造方法。
- [12] 請求項1ないし11いずれか1項に記載の方法により製造された半導体ウェーハ。

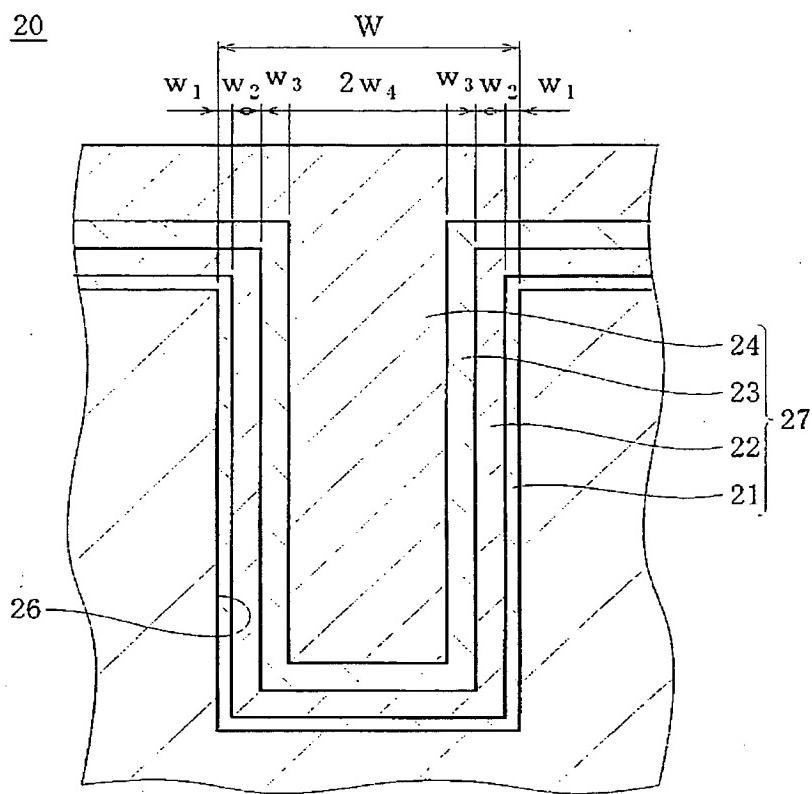
[図1]



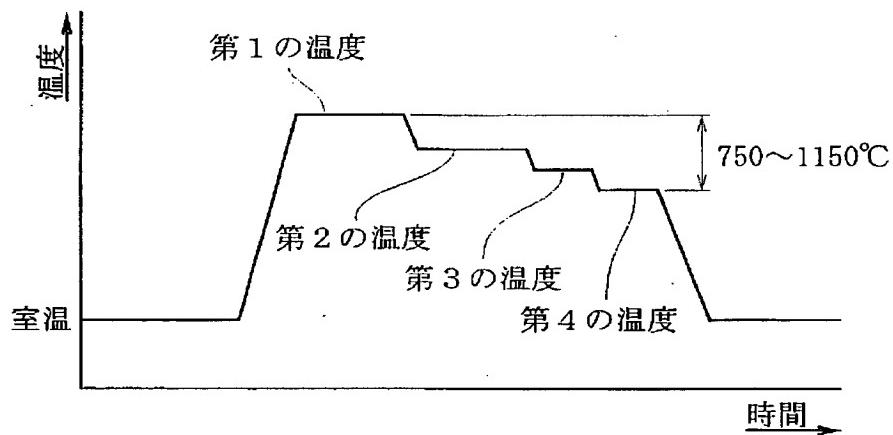
[図2]



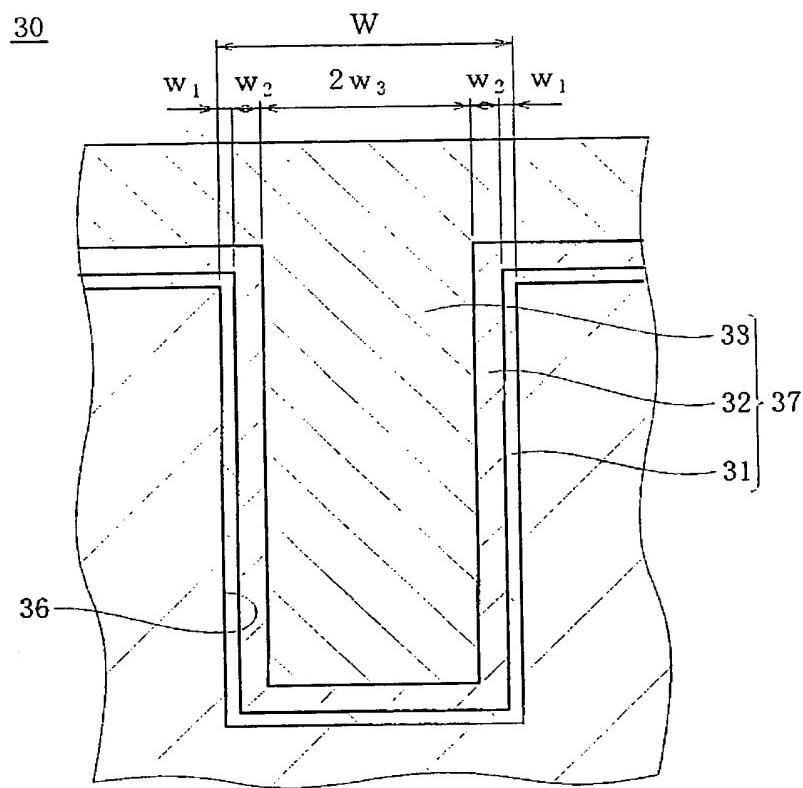
[図3]



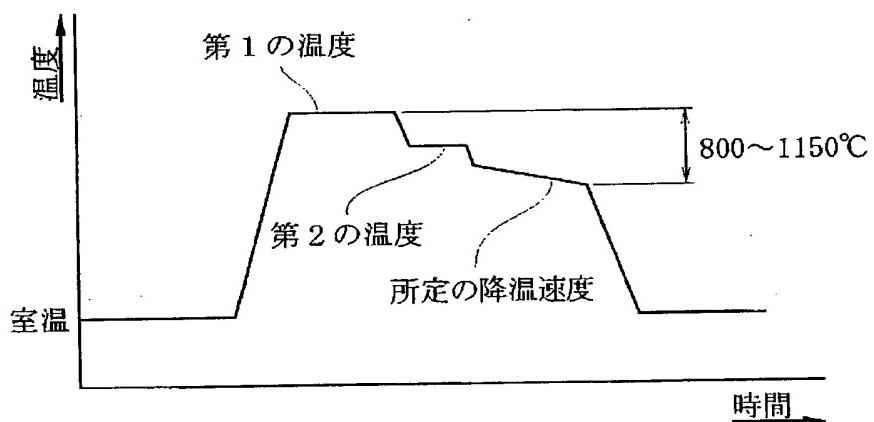
[図4]



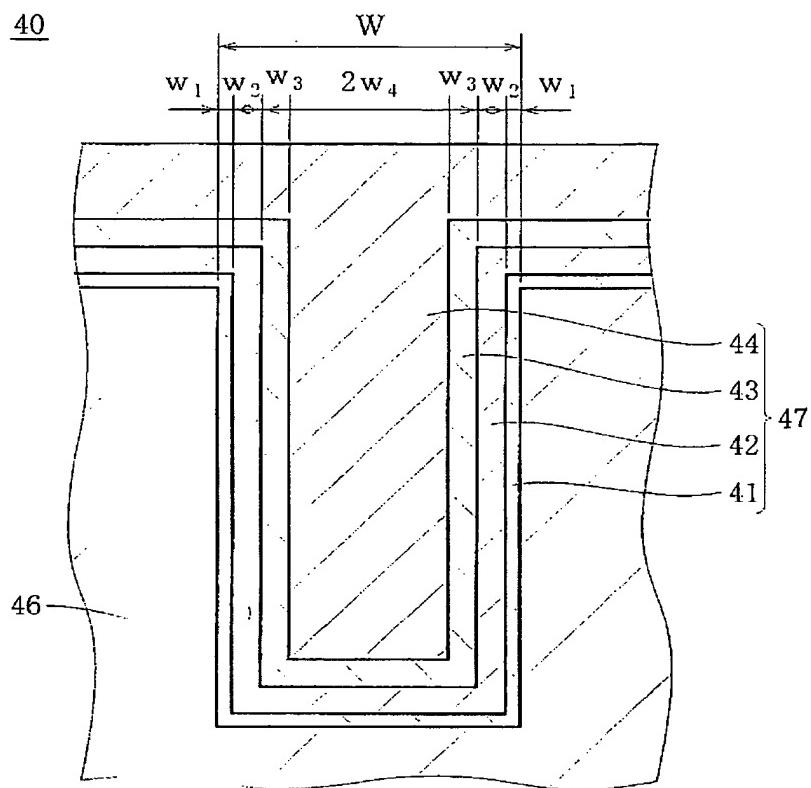
[図5]



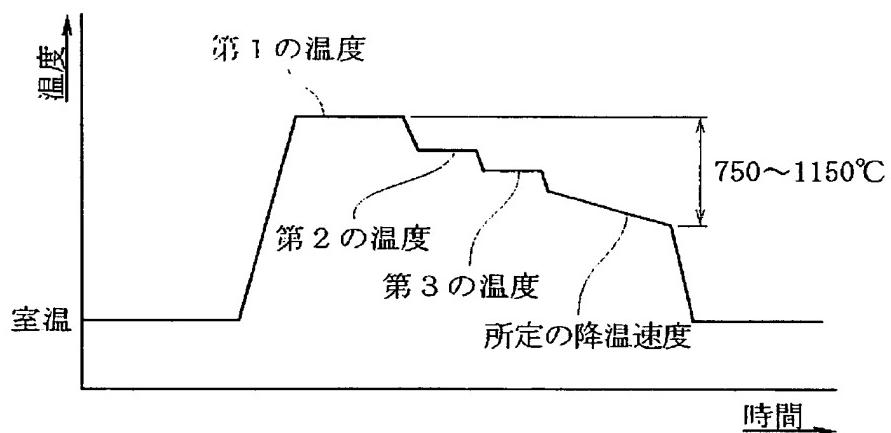
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/006268

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L21/205, 21/306

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L21/205, 21/306Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y <u>A</u>	JP 2003-218037 A (Denso Corp.), 31 July, 2003 (31.07.03), Claim 6; Par. No. [0035]; column 8, lines 15 to 19 (Family: none)	1, 2, 3, 10, 12 8, 9 <u>4-7, 11</u>
Y	JP 2001-196573 A (Denso Corp.), 19 July, 2001 (19.07.01), Par. No. [0073] & US 6495294 B1 & DE 10053463 A1	8, 9

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier application or patent but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
15 July, 2005 (15.07.05)Date of mailing of the international search report
09 August, 2005 (09.08.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））
Int.Cl.⁷ H01L21/205, 21/306

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
Int.Cl.⁷ H01L21/205, 21/306

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2003-218037 A (株式会社デンソー) 2003.07.31, 請求項6、段落番号【0035】、第8欄15-19行 (ファミリーなし)	1, 2, 3, 10, 12 <u>8, 9</u> <u>4-7, 11</u>
Y		
A		
Y	JP 2001-196573 A (株式会社デンソー) 2001.07.19, 段落番号【0073】 & US 6495294 B1 & DE 10053463 A1	8, 9

「C」欄の続きにも文献が列挙されている。

「D」 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日 15.07.2005	国際調査報告の発送日 09.08.2005
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 藤原 敬士 電話番号 03-3581-1101 内線 3471 4R 8406